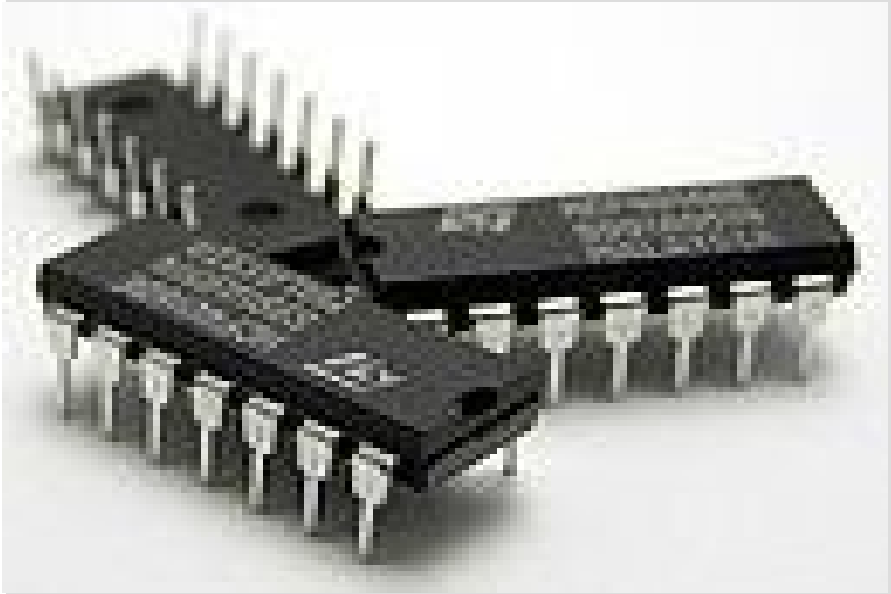
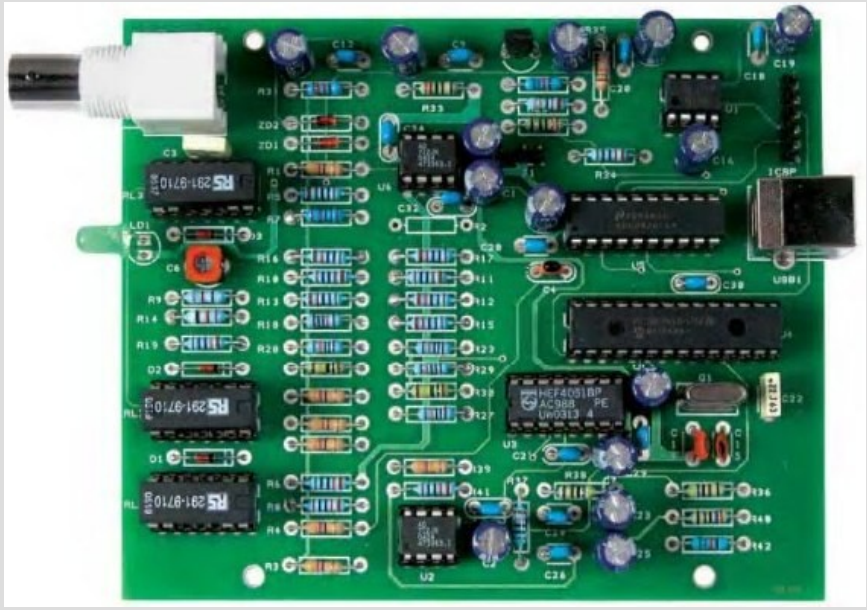




العناصر المنطقية في الدارات المدمجة

ا / تكنولوجيا الدارات المندمجة المنطقية (TTL - CMOS)

إشكالية:

إن أهم التكنولوجيات المستعملة لإنجاز الأنظمة الآلية والتحكم فيها تنحصر في ثلاثة تكنولوجيات فقط هي:

التكنولوجيا الكهربائية أو التكنولوجيا الإلكترونية أو التكنولوجيا الهوائية

الجدول التالي يوضح أهم <u>ميزات وسلبيات</u> هذه التكنولوجيات:

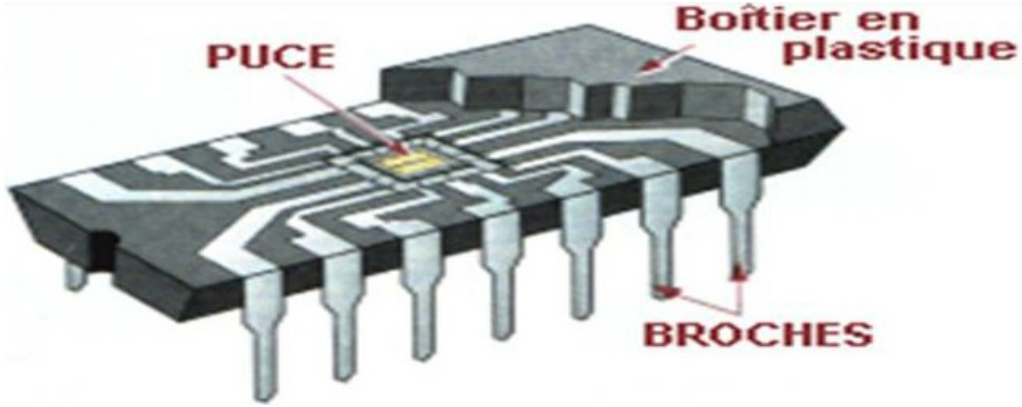
نوع التكنولوجيا	زمن الاستجابة	الاستطاعة	سهولة التشغيل	الوضائف الموجودة	التوفر	السعر	الاستطاعة المنتجة	الطاقة المستعملة
الهوائية	3ms	من 2bar إلى 8bar	الربط معقد	OU , ET, OUI, NON	قليلة	مكلف	200 L/ min	كهربائية = أو ~
الكهربائية	CC: 0.2s من: CA 0.75s إلى 60s	من 1.5W إلى 2W	أقل تعقيد	OU , ET, OUI, NON	قليلة	متوسط التكلفة	مغلوق للتمرير أو مفتوح للتمرير	كهربائية = أو ~

نستعمل التكنولوجيا الإلكترونية بدلا من الصغر في جميع التكنولوجيات الأخرى وذلك لسرعة وكذلك قلة استطاعتها وكلفتها استجابتها المستهلكة.

وقد كانت بداية التكنولوجيا المعتمدة في تركيب الدارات المنطقية ثم الدارات المتكاملة حيث أصبحت تستعمل تقنية الدارات المندمجة. وقد تم إنتاجها لأول مرة بالولايات المتحدة في عام 1958.

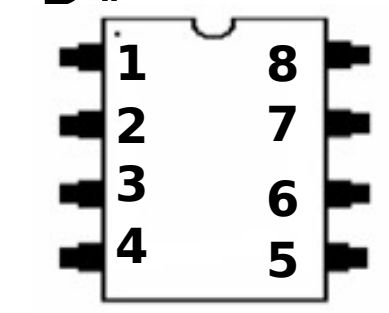
1/ تعريف الدارة المندمجة:

عبارة عن رقاقة صغيرة من السيليسيوم PUCE تدعى .....ذات أحادي بلور بضع المليمترات المُربعة، تحتوي بداخلها على مجموعة من العناصر الإلكترونية (مقاومات، ثنائيات، مقاحل و في بعض الأحيان مكثفات)، توضع البلاستيك أو السيراميك داخل علبة من تكون موصولة خارجيا بأقطاب يتراوح عددها بين 8 و 64 قطب



ملاحظة:

في أحد طرفي الدارة حفرة صغيرة المندجة نجد



تفيدنا في موقع القطب الأول و معرفة بالتالي بقية الأقطاب .

حيث القطب دائما نجده يسار الحفرة أن الأول على

أما باقي الأقطاب فنتعرف عليها بالاتجاه عكس عقارب الساعة انطلاقا من القطب الأول .

ائص الرئيسية للدارات المندمجة المنطقية :

1.2 / توتر التغذية : (Tension d'alimentation)

المستوى المنطقي « 0 (Low :L)» و « 1 (High :H) » لا يُناسب توترا مُعينا لكن مجالا توتريا.

نسمي قيم توترات الدخول بـ « Input (In) ».

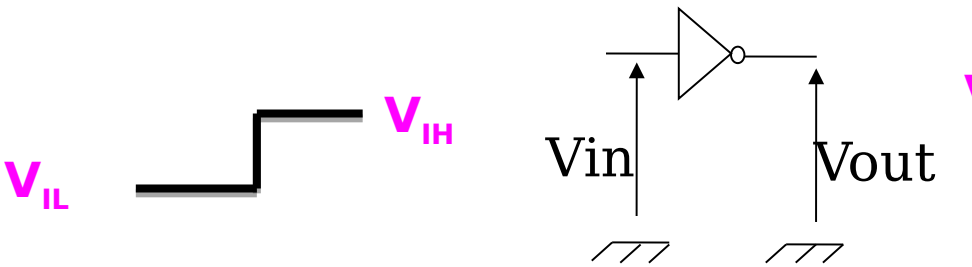
V_{IH} : هو توتر الدخول للمستوى المنطقي الأعلى

V_{IL} : توتر الدخول للمستوى المنطقي الأدنى

نسمي قيم توترات الخروج بـ: (Out) « Output ».

V_{OH} : توتر الخروج في الحالة المنطقية العليا

V_{OL} : توتر الخروج في الحالة المنطقية الدنيا.



العائلة	التغذية Vcc	توتر الدخول		توتر الخروج	
		V_{IHmim}	V_{ILmax}	V_{OHmim}	V_{OLmax}
TTL	5V ± 5%	2V	0.8V	2.4V	0.4V
CMOS	3V من إلى 15V	0.55V	0.45V	0.95V	0.05V

ملاحظة

نرمز: - توتر التغذية بالنسبة لـ TTL هو V_{cc} و

- للهيكل بالنسبة لـ CMOS هو V_{dd} و

- للهيكل بالنسبة لـ TTL هو GND و

V_{ss} هو CMOS

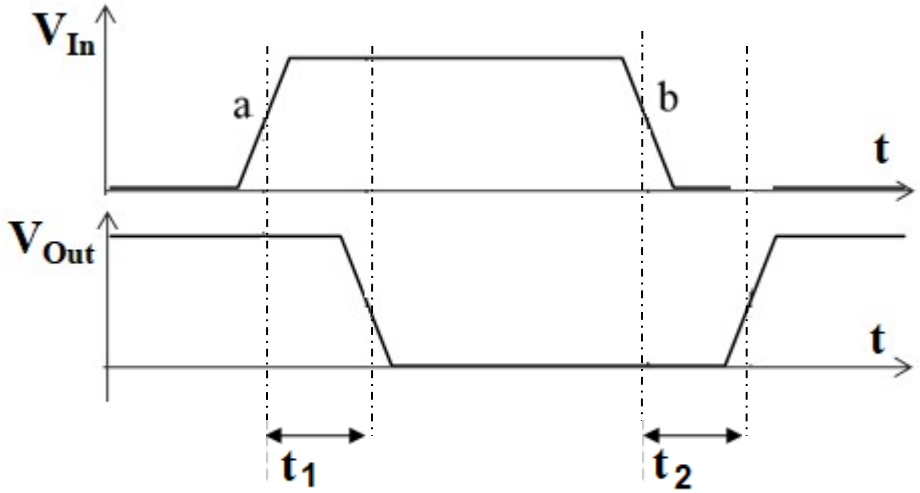
2.2 / الاستطاعة الممتصة (Puissance absorbée) :

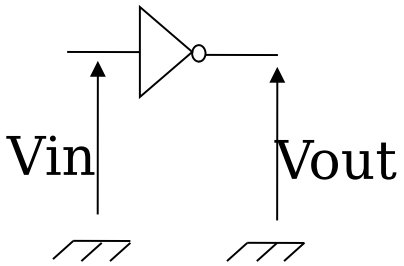
هي الاستطاعة المتوسطة المستهلكة من طرف الدارة المندمجة ، تختلف حسب العملية المنجزة و المستوى المنطقي المطبق.

3.2 / زمن انتشار الإشارة (Temps de propagation) :

هو زمن تأخير استجابة المخرج المنطقي، عندما يتغير مدخله .
نعتبرنا بوابة عاكسة من عائلة TTL فإن :

- **t_1: زمن تأخير لكي نمر من المستوى المنطقي 1 إلى 0.**
- **t_2: زمن تأخير لكي نمر من المستوى المنطقي 0 إلى 1.**





/ تصنيف الدارات المندمجة :

ت المندمجة حسب عدد المركبات المدمجة في cm^2. و يمكن تمييز الأنواع الت

SSI (Single Scale Integration) intégration à faible échelon:

قل من 10 بوابات منطقية (حوالي 100 مقحل في cm^2)

MSI (Medium Scale Integration) intégration à moyenne échelon :

ابين 10 و 100 بوابة منطقية (حوالي 1000 مقحل في cm^2)

LSI (Large Scale Integration) intégration à grande echelon :

100 الى 1000 بوابة منطقية (من 10^4 إلى 10^5 مقحل في cm^2)

VLSI (Very Large Scale Integration) intégration à très grande e

لى ما يفوق 1000 بوابة منطقية (من 10^5 إلى 10^6 مقحل في cm^2)

/عائلات الدارات المندمجة

توجد عدة عائلات للدارات المندمجة ، و ذلك حسب تكنولوجية صناعتها ، من بين العائلات الأكثر استعمالا و معروفة تجاريا: **TTL و CMOS**

- **TTL :** (Transistor Transistor Logic) : مقحل مقحل منطقي

تعتبر أشهر العائلات المنطقية وأكثرها استعمالا وأقلها تكلفة، وتعتمد في صناعتها على تكنولوجيا المقاحل **ثنائية القطب « Bipolaire »**.

- **CMOS:** (Complementary Metal Oxyde Semiconducteur) :
معدن أكسيد شبه ناقل مكمل

تختلف العائلة ***CMOS*** عن عائلة TTL من الناحية التكنولوجية، حيث تعتمد في صناعتها على مقاحل من نوع: **MOSFET**

يز التسمية المستعملة في الدارات المندمجة

العائلة TTL

SN **7 4** **00** **N**

الصانع **سلة درجة الحرارة** **عمل الدارة** **نوع العلبة**

SN TEXAS
MC MOTOROLA
USN SPRAGUE
SFC SESCO COSEM

7 = 0° à 70°.
5 = -55° à 125°

العائلة CMOS

MC **40** **00**

الصانع **CMOS** **عمل الدارة**

L SOLID STATE SCIENTIFIC MOTOROLA
MOTOROLA
ou TP TEXAS
NATIONAL SEMICONDUCTOR

1.6 / العائلة المنطقية / مختلف التكنولوجيات للعائلات المنطقية

TTL Standard : 74XX

سلسلة ذات استهلاك مرتفع و سرعة ضعيفة

TTL low power 74LXX

سلسلة ذات استهلاك ضعيف و لكن زمن انتشار طويل

TTL schottky : 74SXX

سلسلة سريعة مصنوعة من مقاحل سريعة تدعى schottky و لكن تتميز باستهلاكها الكبير للتيار

TTL low power schottky : 74LSXX

سلسلة سريعة مصنوعة من مقاحل *schottky* ذات استهلاك ضعيف للطاقة

74FXX TTL: fast

تتميز بسرعة أكبر و إستطاعة مستهلكة أقل من السلاسل السابقة

74ASXX TTL advanced : schottky

74ALSXX :TTL advanced low power schottky

تكنولوجيا متقدمة تتميز باستهلاكها الأقل للطاقة من كل السلاسل السابقة لكنها أقل سرعة من السلسلة F

L : استهلاك ضعيف للطاقة

S : مصنوعة من مقاحل Schottky

F : سريعة

A : تكنولوجيا متقدمة

2.6 / العائلة المنطقية CMOS :

السلسلة الكلاسيكية : نجد : 40XX ، 74XXC

السلسلة المتطورة : 74HC ، 74HCT ، 74AHC ، 74AHCT

السلسلة اللاسريعة و تغذى بتوتر منخفض (Low Voltage)، من 1.2V إلى 3.6V. نجد : 74LV

HC: Higt-Speed CMOS Logic

HCT: Higt-Speed CMOS Logic compatible TTL

AHC: Advanced Higt-Speed CMOS Logic

AHCT: Advanced Higt-Speed CMOS Logic compatible TTL

LV: Low Voltage HCMOS Technology

جدول مقارنة بين العائلة TTL و CMOS

FAMILLE	زمن الانتشار nS	الاستطاعة المستهلكة mW	التواتر MHz
TTL standard	10	10	25
TTL H	6	10	43
TTL L	35	1	3
TTL S	3	10	110
TTL LS	10	2	33
CMOS 5 V	40	100 nW	8
CMOS 10 V	20	10 nW	16

عمل تطبيقي 1 :

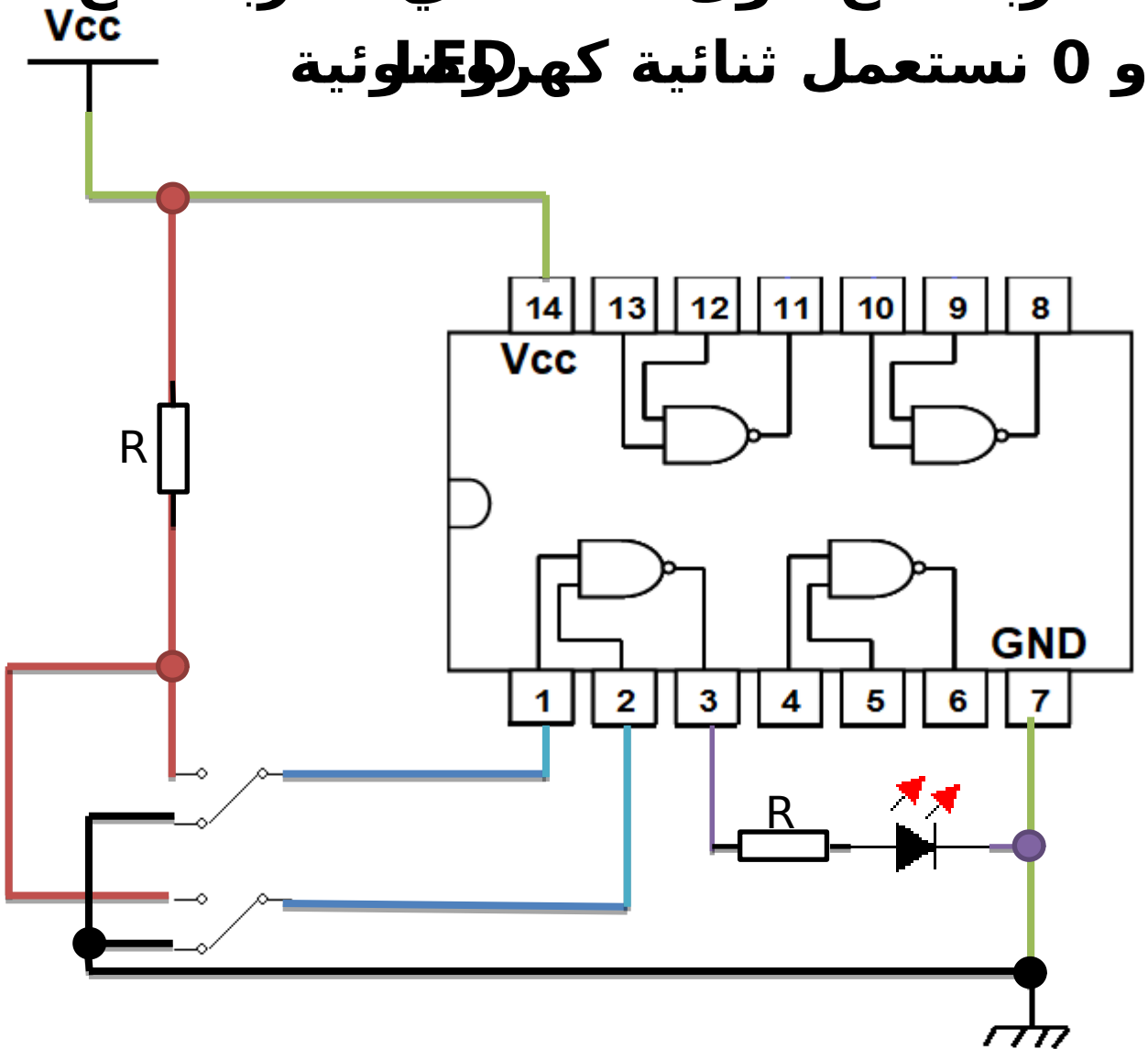
قم بحجز Multisim باستعمال برنامج التقليد

التركيب ثم نراقب التشغيل

م في المدخلين 1 و 2 نستعمل مبدلين

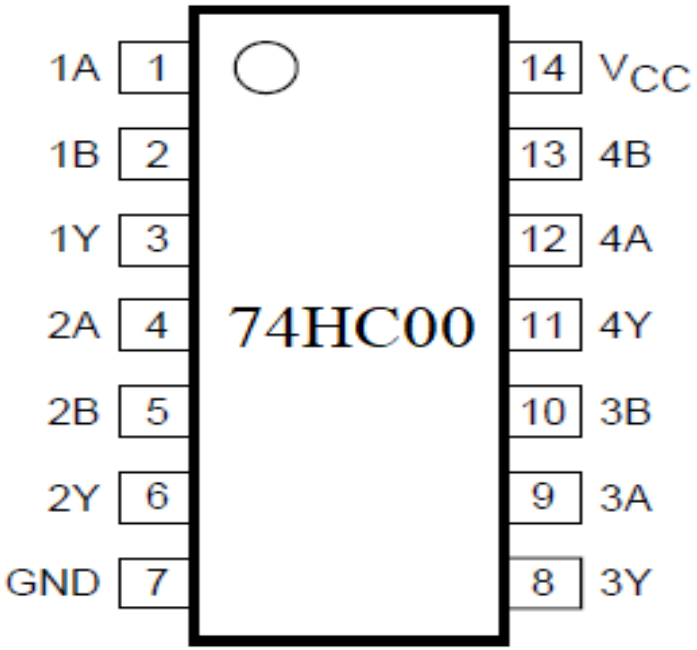
مستوى المنطقي 1 نربط الدخل مستوى المنطقي 0 نربط الدخل

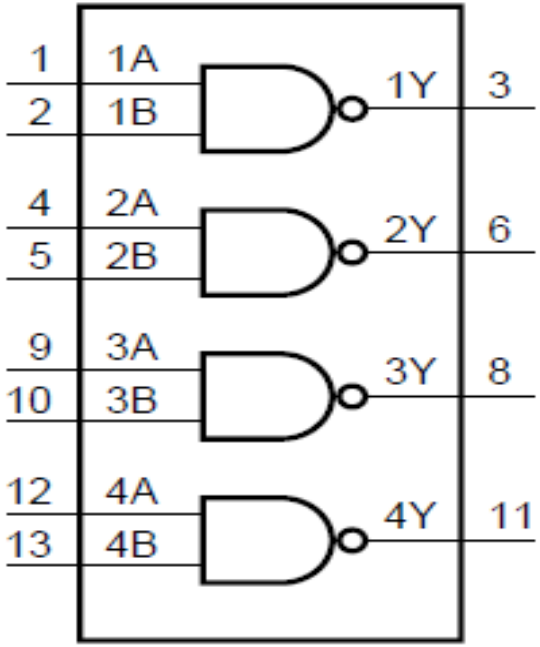
المخرج يساوي 1 أو 0 نستعمل ثنائية كهروضوئية



عمل تطبيقي 2 :

على لوح التجارب نقوم بتركيب الدارة المندمجة 74HC00 ، ثم باستعمال وثيقة الصانع نقوم بتوصيل التركيب السابق .
نغير المدخلين و نتأكد من صحة حالة المخرج حسب جدول الحقيقة للبوابة NAND.





II / الـجامـع

نشاط 1 : ليكن العددين التاليين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

الحل : انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، لا نأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

جدول الحقيقة :

a_2	b_2	S_2	r_2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

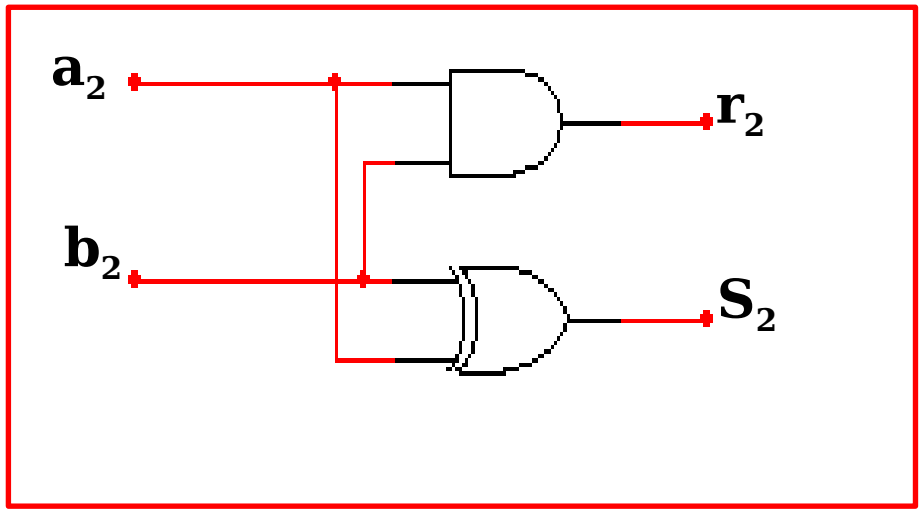
المعادلات :

$$S_2 = \bar{a}_2.b_2 + a_2.\bar{b}_2$$

$$S_2 = a_2 \oplus b_2$$

$$r_2 = a_2 . b_2$$

التصميم المنطقي :



demi-add.ms13

نسمي العملية السابقة بالنصف جامع : و الذي يحقق الجمع المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار الإحتفاظ من الرتبة السابقة

بصفة عامة :

نشاط 2 : من أجل نفس العددين السابقين :

$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2، مع الأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

الحل :

r_4	r_3	r_2	r_1	$r_0 = 0$
	a_4	a_3	a_2	a_1
+	b_4	b_3	b_2	b_1
r_4	s_4	s_3	s_2	s_1

r_{i-1}	
a_i	
+ b_i	
r_i	s_i

جدول الحقيقة :

a_2	b_2	r_1	S_2	r_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

المعادلات :

S_2

a_2 \ b_2r_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S_2 = \bar{a}_2(\bar{b}_2.r_1 + b_2.\bar{r}_1) + a_2(\bar{b}_2.\bar{r}_1 + b_2.r_1)$$

$$S_2 = a_2 \oplus b_2 \oplus r_1$$

r_2

a_2 \ b_2r_1	00	01	11	10
0	0	0	1	0
1	0	1	1	1

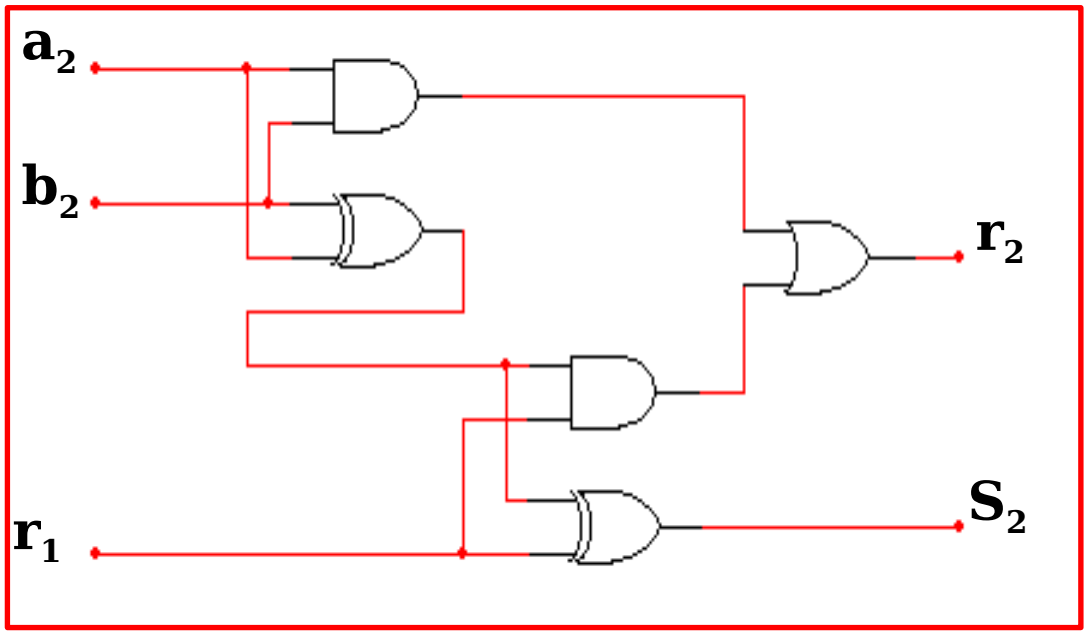
$$r_2 = r_1(a_2 + b_2) + a_2.b_2$$

$$r_2 = \bar{a}_2.b_2.r_1 + a_2.\bar{b}_2.r_1 + a_2.b_2.\bar{r}_1 + a_2.b_2.r_1$$

$$r_2 = r_1(\bar{a}_2.b_2 + a_2.\bar{b}_2) + a_2.b_2(\bar{r}_1 + r_1)$$

$$r_2 = r_1(a_2 \oplus b_2) + a_2.b_2$$

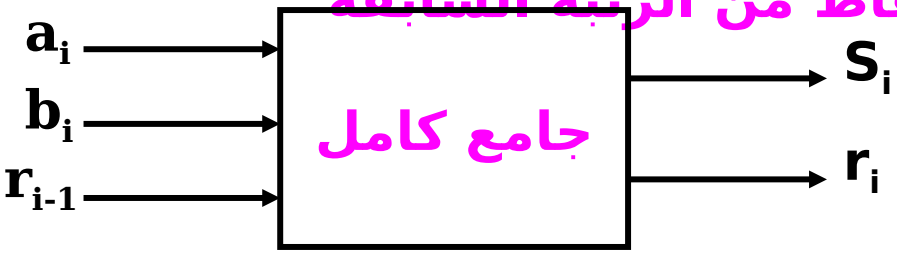
التصميم المنطقي



add-comp.ms13

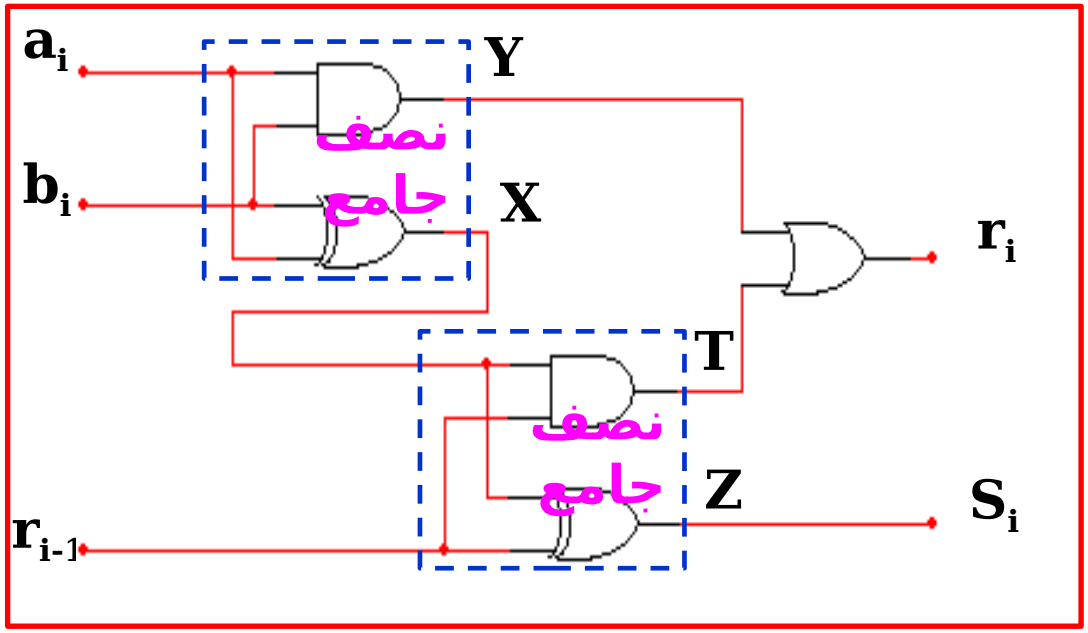
نسمي العملية السابقة بـ**الجامع الكامل** : و الذي يحقق **الجمع المنطقي** لعددين A و B من أجل n بيت مع الأخذ بعين الاعتبار **الإحتفاظ من الرتبة السابقة**

بصفة عامة :



نشاط 3 : نريد انجاز جامع كامل انطلاقا من نصف جامع:

الحل :



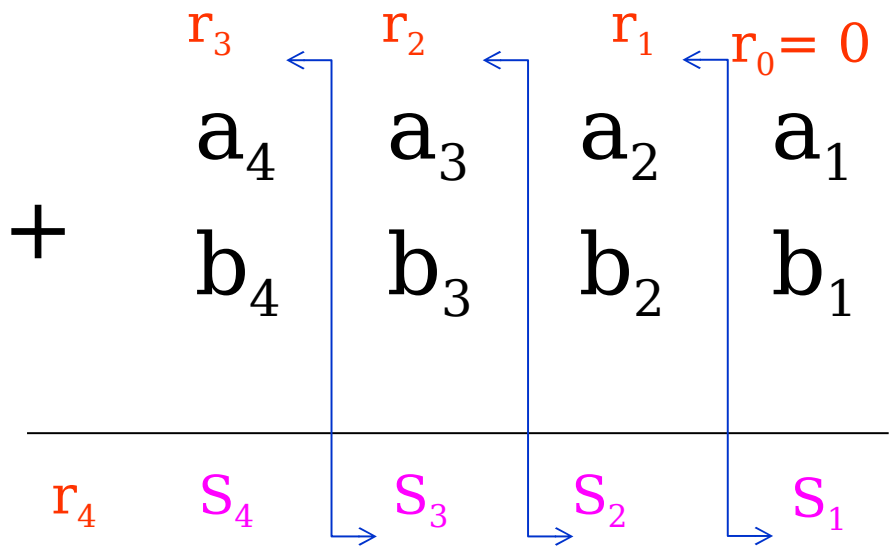
نشاط 4 : من أجل نفس العددين السابقين :

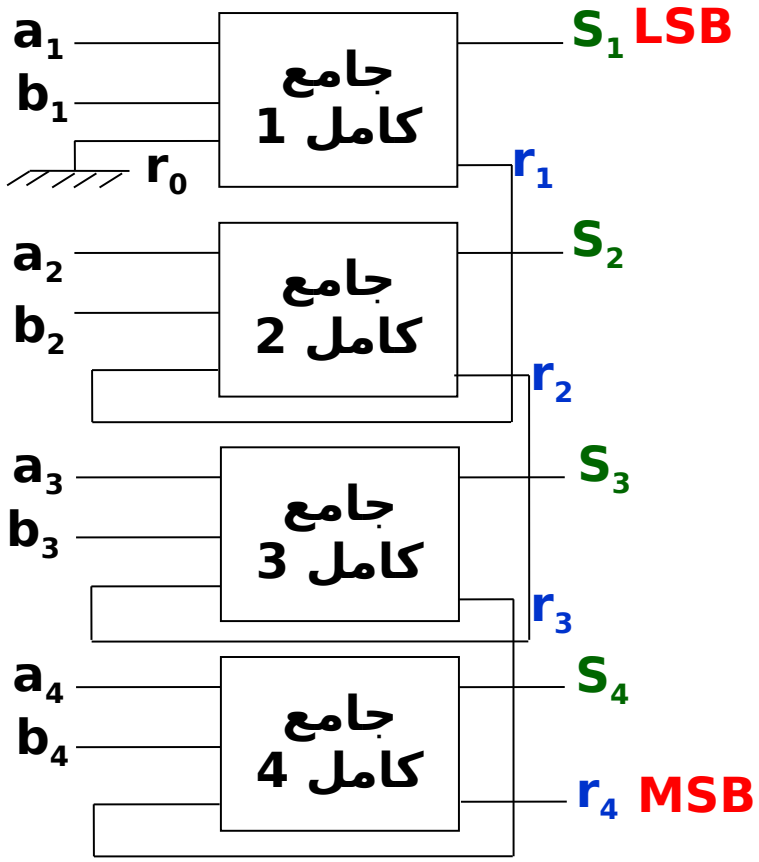
$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

نريد انجاز التصميم الالكتروني الذي يمكننا من جمع العددين A و B ، ماهي الطريقة التي تمكننا من ذلك ؟

الحل :



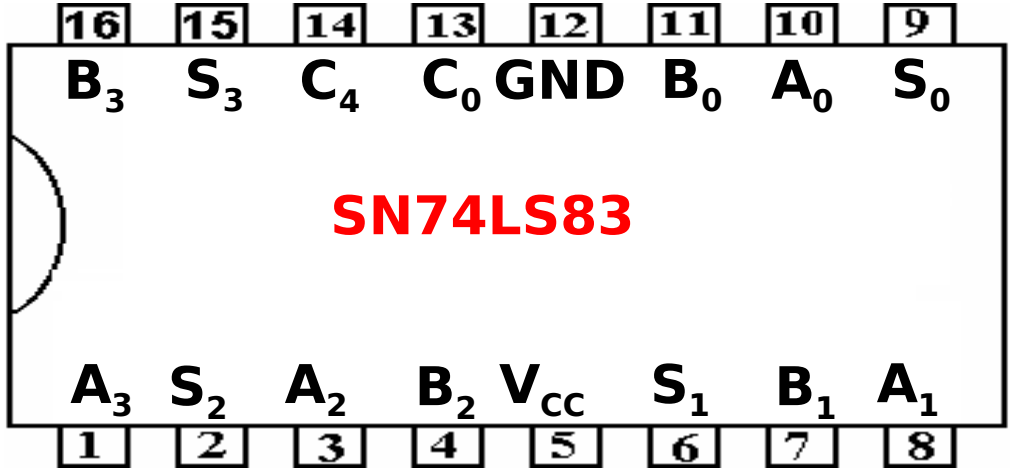


هناك حل تكنولوجي آخر و هو استعمال الدارة المدمجة : SN7483 أو CD4008

نشاط 5 : على لوح التجارب نريد انجاز جامع Bits 4 بالدارة المدمجة SN74LS83 ، انجز التركيب المناسب بالاعتماد على وثيقة الصانع للدارة المندجة .

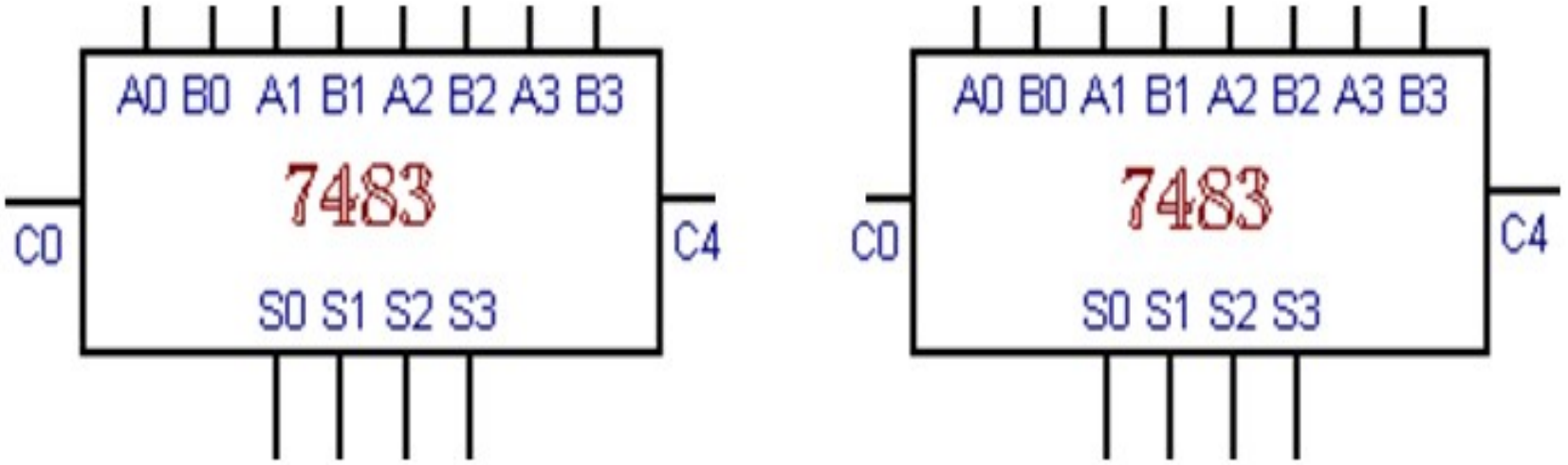
7483.ms13

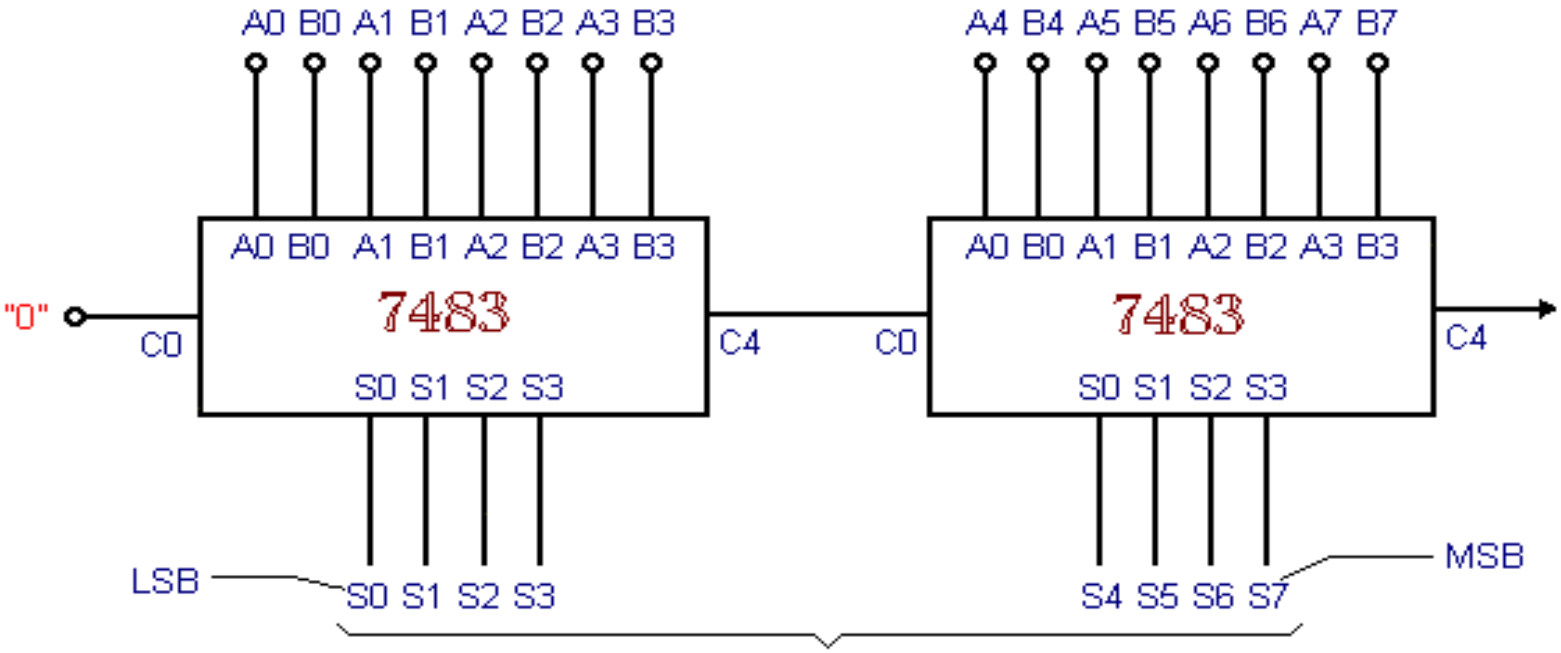
INPUTS			OUTPUTS	
C_0	A	B	C_4	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



- المدخل : (A_0 , A_3) ، (B_0 , B_3) : A
المدخل B
- المجموع (A+B) : (S_0 , S_3)
- الإحتفاظ : (C_4 , C_0)

عمل منزلي : أكمل التركيب للحصول على جامع لعددين منطقيين لكل منهما Bits 8 باستعمال الدارة المندمجة 7483.




A0 B0 A1 B1 A2 B2 A3 B3
A4 B4 A5 B5 A6 B6 A7 B7
A0 B0 A1 B1 A2 B2 A3 B3
7483
C0
C4
S0 S1 S2 S3
"0"
LSB
MSB
S4 S5 S6 S7

III / الطارح

نشاط 6 : من أجل نفس العددين السابقين :

$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$

$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

انجز التصميم الالكتروني الذي يمكننا من طرح b_2 من a_2:

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

الحل :

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة:

جدول الحقيقة لـ D_2 ، لـ C_2 نتيجة: $IC2$ مستعار :

a_2	b_2	c_2	D_2
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

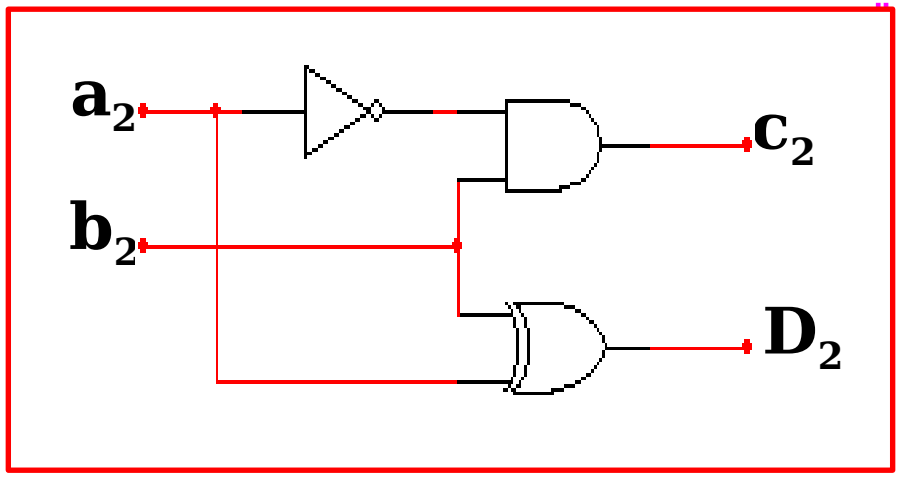
المعادلات :

$$D_2 = \bar{a}_2.b_2 + a_2.\bar{b}_2$$

$$D_2 = a_2 \oplus b_2$$

$$c_2 = \bar{a}_2.b_2$$

التصميم المنطقي :



demi-sous.ms13

نسمي العملية السابق بالنصف طارح : و الذي يحقق الطرح المنطقي لعددين A و B من أجل بيت (Bit) واحد فقط بدون الأخذ بعين الاعتبار استعارة الرتبة السابقة

بصفة عامة :

ب/ نأخـــــذ بعيـــــن الاعتبار الاستعارة من الرتبة السابقة.

$$\begin{array}{cccc} a_4 & c_3 a_3 & c_2 a_2 & c_1 a_1 \\ - & & & \\ b_4 & b_3 & b_2 & b_1 \\ c_3 & c_2 & c_1 & c_0 = 0 \\ \hline D_4 & D_3 & D_2 & D_1 \end{array}$$

$$\begin{array}{c} a_i \\ - \\ b_i \\ \\ \hline c_{i-1} \\ \\ D_i \end{array}$$

جدول الحقيقة :

a_2	b_2	c_1	D_2	c_2
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

المعادلات :

D_2

a_2 \ b_2c_1	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$D_2 = \bar{a}_2(\bar{b}_2.c_1 + b_2.\bar{c}_1) + a_2(\bar{b}_2.\bar{c}_1 + b_2.c_1)$$

$$D_2 = a_2 \oplus b_2 \oplus c_1$$

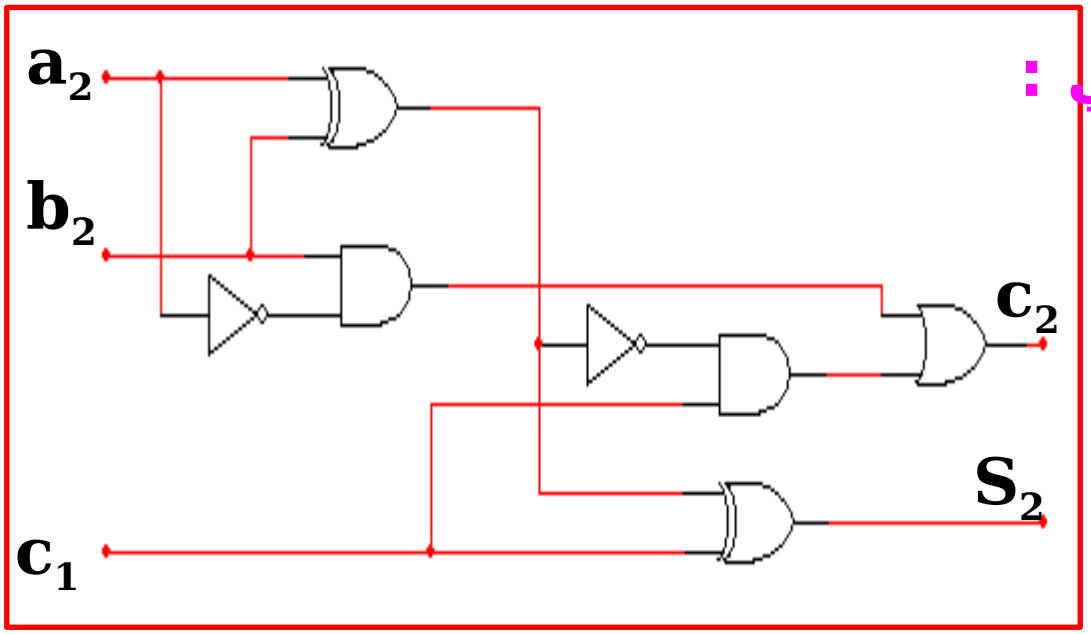
بالطريقة الجبرية نجد:

$$c_2 = \bar{a}_2.\bar{b}_2 c_1 + \bar{a}_2 b_2 \bar{c}_1 + a_2.b_2 c_1 + a_2.b_2 c_1$$

$$c_2 = \bar{a}_2 b_2(\bar{c}_1 + c_1) + c_1(\bar{a}_2.\bar{b}_2 + a_2.b_2)$$

$$c_2 = \bar{a}_2 b_2 + c_1\overline{(a_2 \oplus b_2)}$$

التصميم المنطقي :



sous-comp.ms13

نسمي العملية السابق بـالطارح الكامل : و الذي يحقق الطرح المنطقي لعددين A و B من أجل n بيت مع الأخذ بعين الاعتبار استعارة الرتبة السابقة بصفة عامة :

عمل منزلي : قم بانجاز طارح كامل انطلاقا من نصف الطارح

اذا أردنا انجاز طارح باستعمال الدراة المندجة نقوم بما يلي:

نحول العملية من طارح الى جامع : A-B = A+ (-B)

نحول العدد B الى B- و هذا بحساب المكمل الى 1 ثم المكمل الى 2 للعدد B

مثال :اذا كان B=0101

المكمل الى 1 هو : (1 يصبح 0 و العكس) 1010

المكمل الى 2 هو : (نضيف 1 الى العدد السابق) -B=1011

نجمع العدد A مع العدد –B عن طريق دارة الجامع.

نستعمل بوابات XOR للحصول على المكمل الى 1 بحيث أحد مدخلي البوابة XOR يكون دائما 1
نجعل الباقي الأول للدارة المندمجة للجامع نجعله 1 أي C0=1 و هذا للحصول على المكمل الى 2

مثال تطبيقي : التركيب التالي يقوم بالطرح بين العددين :

A=1111

B=1110